

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-110843

(P2014-110843A)

(43) 公開日 平成26年6月19日(2014.6.19)

|                                |                      |             |
|--------------------------------|----------------------|-------------|
| (51) Int.Cl.                   | F I                  | テーマコード (参考) |
| <b>A 6 1 B</b> 1/04 (2006.01)  | A 6 1 B 1/04 3 6 2 J | 2 H 0 4 O   |
| <b>G 0 2 B</b> 23/24 (2006.01) | G 0 2 B 23/24 B      | 4 C 1 6 1   |

審査請求 未請求 請求項の数 7 O L (全 13 頁)

|           |                              |          |                                |
|-----------|------------------------------|----------|--------------------------------|
| (21) 出願番号 | 特願2012-266337 (P2012-266337) | (71) 出願人 | 000113263                      |
| (22) 出願日  | 平成24年12月5日 (2012.12.5)       |          |                                |
|           |                              |          | H O Y A 株式会社                   |
|           |                              |          | 東京都新宿区中落合2丁目7番5号               |
|           |                              | (74) 代理人 | 100090169                      |
|           |                              |          | 弁理士 松浦 孝                       |
|           |                              | (74) 代理人 | 100124497                      |
|           |                              |          | 弁理士 小倉 洋樹                      |
|           |                              | (74) 代理人 | 100147762                      |
|           |                              |          | 弁理士 藤 拓也                       |
|           |                              | (72) 発明者 | 小林 徹至                          |
|           |                              |          | 東京都新宿区中落合2丁目7番5号 H O           |
|           |                              |          | Y A 株式会社内                      |
|           |                              | Fターム(参考) | 2H040 FA13 GA02 GA06 GA11      |
|           |                              |          | 4C161 CC06 FF45 JJ19 LL02 MM05 |
|           |                              |          | NN03 UU09                      |

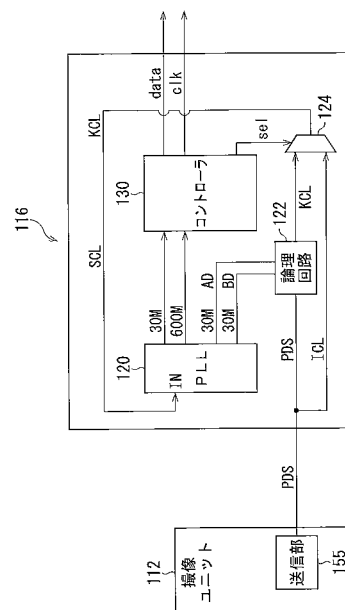
(54) 【発明の名称】 内視鏡装置

(57) 【要約】 (修正有)

【課題】簡易な構成で同期ずれなく画素データを高速シリアル伝送することができる内視鏡装置を提供する。

【解決手段】ビデオスコープ先端部に設けられた送信部115において、シリアル画素データに対し所定間隔で同期クロックを埋め込み、シリアルデータPDSをスコープコネクタ部に設けられた受信部116へ送信する。また、受信部116からの要求に応じて、同期クロックと同じ位相、周波数をもつイニシャルクロックデータICLを送信する。受信部116では、PLL回路120がイニシャルクロックデータICLによって位相をロックし、位相シフトクロックデータAD、BDを出力する。そして、論理回路122によって、PLL回路120へ自己帰還させる帰還抽出クロックKCLを生成し、シリアルデータ転送中の間、帰還抽出クロックKCLによってPLL回路120が位相ロックし続ける。

【選択図】 図6



**【特許請求の範囲】****【請求項 1】**

スコープ先端部に設けられた撮像素子と、

スコープ先端部に設けられ、前記撮像素子から読み出される画素信号をデジタルシリアル化した画素データに対し、所定データ幅間隔で同期クロックを埋め込み、シリアルデータを出力する送信部と、

スコープ基端側もしくは内視鏡プロセッサに設けられ、受信したシリアルデータの中からシリアル画素データを抽出する受信部とを備え、

前記送信部が、同期クロックと同じ周波数でエッジ部分が現れるシリアルデータのイニシャルクロックデータを出力可能であり、

前記受信部が、受信したイニシャルクロックデータによって位相をロックする PLL 回路を有し、

前記受信部が、位相ロック後に送られてくるシリアルデータに基づいて帰還抽出クロックを生成し、

前記受信部が、前記 PLL 回路に入力する帰還抽出クロックに従ってシリアル画素データを抽出することを特徴とする内視鏡装置。

**【請求項 2】**

前記送信部が、前記受信部からの要求に応じて選択的にイニシャルクロックデータもしくはシリアルデータを送信し、

前記受信部が、帰還抽出クロックと同期クロックとが同期しているか否かを判断し、非同期の場合、イニシャルクロックデータの出力を前記送信部へ要求することを特徴とする請求項 1 に記載の内視鏡装置。

**【請求項 3】**

前記 PLL 回路が、位相ロック後の抽出クロックの位相を互いにシフトさせた 1 対の位相シフトクロックデータを出力し、

前記受信部が、1 対の位相シフトクロックデータに基づいて帰還抽出クロックを生成する論理回路を有することを特徴とする請求項 1 乃至 2 のいずれかに記載の内視鏡装置。

**【請求項 4】**

前記 PLL 回路が、帰還抽出クロックの入力デューティ比が 40 ~ 60 パーセントとなるように、1 対の位相シフトクロックデータを出力することを特徴とする請求項 3 に記載の内視鏡装置。

**【請求項 5】**

前記受信部が、シリアル画素データの中から、帰還抽出クロックに従ってデータを抽出し、抽出されたデータが同期クロックに対応しているか否かを判断することを特徴とする請求項 1 乃至 4 のいずれかに記載の内視鏡装置。

**【請求項 6】**

前記送信部が、

シリアル画素データのデータ数をカウントするカウンタと、

所定データ幅に応じたカウント数に合わせて同期クロックをシリアル画素データ内に埋め込むセクタと

を備えることを特徴とする請求項 1 乃至 5 のいずれかに内視鏡装置。

**【請求項 7】**

スコープ先端部に設けられた撮像素子と、

スコープ先端部に設けられ、前記撮像素子から読み出される画素信号をデジタルシリアル化した画素データに対し、所定データ幅間隔で同期クロックを埋め込み、シリアルデータを出力する送信部と、

スコープ基端側に設けられ、受信したシリアルデータの中からシリアル画素データを抽出する受信部とを備え、

前記送信部が、同期クロックと同じ周波数でエッジ部分が現れるシリアルデータのイニシャルクロックデータを出力可能であり、

10

20

30

40

50

前記受信部が、受信したイニシャルクロックデータによって位相をロックするPLL回路を有し、

前記受信部が、位相ロック後に送られてくるシリアルデータに基づいて帰還抽出クロックを生成し、

前記受信部が、前記PLL回路に入力する帰還抽出クロックに従ってシリアル画素データを抽出することを特徴とするビデオスコープ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スコープ（内視鏡）によって器官内壁などの被写体を観察、処置等する内視鏡装置に関し、特に、スコープ先端部に設けられた撮像素子から読み出される画素信号のシリアル伝送に関する。

10

【背景技術】

【0002】

電子内視鏡装置においては、撮像素子がビデオスコープ先端部に設けられており、撮像素子から読み出されたアナログ画像信号は、ビデオスコープ内部に配線された信号線によってスコープ基端側／プロセッサ側へ伝送される。そして、スコープコネクタ部あるいはプロセッサ内部に設けられた画像処理回路においてデジタル化され、画像信号が生成される。

【0003】

20

CCDを使用する場合、アナログ画素信号をスコープ先端部からプロセッサ側へ伝送する。このとき、信号線が比較的長いためにノイズが生じ、観察画像の画質を低下させる。一方、CMOSを使用する場合、撮像チップとして構成されるため、スコープ先端部において画素信号をデジタル化し、パラレル／シリアル変換してからシリアル画素データをプロセッサ側へシリアル伝送することが可能である（特許文献1参照）。

【0004】

シリアル伝送としては、8b／10bと呼ばれるシリアル伝送方式が一般的に採用される。具体的には、8b／10bのデータ変換表に基づき、撮像素子から読み出されるパラレル8ビットの画素データに対してクロックを埋め込み、ランレングスの短い10ビットデータに変換する。そして、パラレル／シリアル変換部によってパラレルデータをシリアルデータに変換し、プロセッサ側へ伝送する。

30

【0005】

スコープのコネクタ部もしくはプロセッサ内に設けられる受信回路では、送られてきたシリアル信号の位相を検出してクロック信号を発生させる。8b／10b伝送方式では、埋め込んだクロックを10ビットデータから自動的に抽出可能なデータ配列になっており、新たに抽出したクロック信号によって画素データをリタイミングする。

【0006】

これにより、1GHzレベルで高速シリアル伝送した場合に生じる画素データ伝送周波数とクロック信号との同期ずれを解消し、プロセッサ側のクロックと同期する画素データを生成することができる。その後、シリアル／パラレル変換部によってシリアルデータをパラレルデータに変換し、同じ8b／10b変換表に基づいて8ビットの画素データを復元する。

40

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2009-201540号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

8b／10b伝送方式のような高速シリアル伝送方式の場合、送信側、受信側にデータ

50

量の大きい変換テーブルをメモリ等に格納し、データ変換処理回路を設ける必要がある。このような専用回路をスコープ先端部に設けることは、スコープ先端部をできる限り細径化することへの障害となる。また、変換処理回路を撮像素子傍に設けることで、画素信号を撮像素子から読み出すとき、ノイズを発生させる恐れがある。

【 0 0 0 9 】

したがって、簡素な回路構成によって、画素データをスコープ先端部からプロセッサ側へ同期ずれなく高速シリアル伝送することが求められる。

【課題を解決するための手段】

【 0 0 1 0 】

本発明の内視鏡装置は、スコープ先端部に設けられた撮像素子と、スコープ先端部に設けられ、前記撮像素子から読み出される画素信号をデジタルシリアル化した画素データに対し、所定データ幅間隔で同期クロックを埋め込み、シリアルデータを出力する送信部と、スコープ基端側もしくは内視鏡プロセッサに設けられ、受信したシリアルデータの中からシリアル画素データを抽出する受信部とを備える。

10

【 0 0 1 1 】

前記送信部は、同期クロックと同じ周波数でエッジ部分が現れるシリアルデータのイニシャルクロックデータを出力可能である。前記受信部は、受信したイニシャルクロックデータによって位相をロックするPLL回路を有する。そして、前記受信部は、位相ロック後に送られてくるシリアルデータに基づいて帰還抽出クロックを生成し、前記PLL回路に入力する帰還抽出クロックに従ってシリアル画素データを抽出する。

20

【 0 0 1 2 】

例えば、前記送信部は、前記受信部からの要求に応じて選択的にイニシャルクロックデータもしくはシリアルデータを送信し、前記受信部は、帰還抽出クロックと同期クロックとが同期しているか否かを判断し、非同期の場合、イニシャルクロックデータの出力を前記送信部へ要求する。

【 0 0 1 3 】

例えば、前記PLL回路は、位相ロック後の抽出クロックの位相を互いにシフトさせた1対の位相シフトクロックデータを出力し、前記受信部は、1対の位相シフトクロックデータに基づいて帰還抽出クロックを生成する論理回路を有する。

【 0 0 1 4 】

また、前記PLL回路は、帰還抽出クロックの入力デューティ比が40～60パーセントとなるように、1対の位相シフトクロックデータを出力することができる。

30

【 0 0 1 5 】

例えば前記受信部は、シリアル画素データの中から、帰還抽出クロックに従ってデータを抽出し、抽出されたデータが同期クロックに対応しているか否かを判断する。

【 0 0 1 6 】

例えば前記送信部は、シリアル画素データのデータ数をカウントするカウンタと、所定データ幅に応じたカウント数に合わせて同期クロックをシリアル画素データ内に埋め込むセクタとを備える。

【発明の効果】

40

【 0 0 1 7 】

このように本発明によれば、内視鏡装置において、簡易な構成で同期ずれなく画素データを高速シリアル伝送することができる。

【図面の簡単な説明】

【 0 0 1 8 】

【図1】第1の実施形態である電子内視鏡装置のブロック図である。

【図2】送信部を含む撮像ユニットおよび受信部の詳細なブロック図である。

【図3】送信部の一部構成を示す論理回路図である。

【図4】伝送するシリアルデータおよび並走させるクロック信号を示した図である。

【図5】受信部におけるシリアルデータ受信処理および同期調整処理のフローチャートで

50

ある。

【図 6】第 2 の実施形態における送信部と受信部のブロック図である。

【図 7】受信部に設けられた論理回路の回路図である。

【図 8】シリアルデータおよび帰還抽出クロックのタイミングチャートである。

【図 9】受信側における同期調整処理のフローチャートである。

【図 10】送信側におけるイニシャルクロックデータ送信処理のフローチャートである。

【発明を実施するための形態】

【0019】

以下では、図面を参照して本実施形態である電子内視鏡装置について説明する。

【0020】

図 1 は、第 1 の実施形態である電子内視鏡装置のブロック図である。

【0021】

電子内視鏡装置は、その挿入部分が体内へ挿入されるビデオスコープ 10 と、プロセッサ 30 とを備え、ビデオスコープ 10 はプロセッサ 30 に着脱自在に接続される。プロセッサ 30 には、モニタ 80 が接続されている。

【0022】

プロセッサ 30 は、放電ランプなどで構成される光源装置 34 を備える。光源装置 34 から出力される照明光は、集光レンズ（図示せず）を介して、ビデオスコープ 10 内に設けられたライトガイド 11 に入射する。ライトガイド 11 に入射した光は、ライトガイド 11 内部を通してスコープ先端部 10 T から射出し、配光レンズ 14 A を介して被写体（観察対象）に照射される。

【0023】

被写体で反射した照明光は、スコープ先端部に設けられた、カバーガラス 14 B、対物レンズ 13 を通り、これによって、対物レンズ 13 後方に位置する撮像ユニット 12 内に設けられたイメージセンサ 52 の受光面に被写体像が形成される。

【0024】

イメージセンサ 52 は、X - Y 独立型撮像素子であり、ここでは CMOS センサで構成される。イメージセンサ 52 において生じる 1 フィールド / フレーム分の画像信号は、撮像素子駆動回路 19 によって所定の読み出し時間間隔（例えば、1 / 60 秒もしくは 1 / 30 秒間隔）で読み出される。イメージセンサ 52 には、Cy、Ye、G、Mg あるいは R、G、B から成る色要素をモザイク配列させた色フィルタが配設されており、カラー撮像方式として同時単板式が適用されている。

【0025】

イメージセンサ 52 から読み出された画素信号は、デジタル化、シリアル化された後、ビデオスコープ 10 の基端側に設けられたコネクタ部 10 C へ送信される。コネクタ部 10 C は、スコープコントローラ 15、受信部 16、画像処理回路 17、タイミングジェネレータ 18、撮像素子駆動回路 19 を備える。CPU、RAM、ROM などを含むスコープコントローラ 15 は、撮像ユニット 12、タイミングジェネレータ 18 などへ制御信号を送信し、スコープ動作全体を制御する。スコープ動作制御プログラムは、ROM に格納されている。

【0026】

画像処理回路 17 では、送られてきたデジタル画素信号に対してホワイトバランス処理、ガンマ補正処理などの信号処理が施される。これにより、カラーデジタル画像信号が生成される。カラーデジタル画像信号は、プロセッサ 30 の後段処理回路 32 へ送られる。

【0027】

後段処理回路 32 では、輪郭強調などの画像処理が施される。後段処理回路 32 から出力された画像信号が映像信号としてモニタ 80 に出力されることにより、観察画像が動画像としてモニタ 80 に表示される。

【0028】

CPU、ROM、RAM などを含むシステムコントロール回路 40 は、光源装置 34 な

10

20

30

40

50

どへ制御信号を出力し、プロセッサ 30 全体の動作を制御する。プロセッサ制御に関するプログラムは、ROM にあらかじめ格納されている。また、システムコントロール回路 40 は、スコープコントローラ 15 との間で相互通信可能である。

#### 【0029】

次に、図 2 ~ 4 を用いて、ビデオスコープの先端側に設けられた送信部、プロセッサ側に設けられた受信部の構成を説明する。

#### 【0030】

図 2 は、送信部を含めた撮像ユニットおよび受信部の詳細なブロック図である。図 3 は、送信部の一部構成を示す論理回路図である。図 4 は、伝送するシリアルデータおよび並走させるクロック信号を示した図である。

10

#### 【0031】

撮像ユニット 12 は、CMOS 型のイメージセンサ 52、A/D 変換器 53、パラレル/シリアル変換器 54、送信部 55、PLL 回路 56 を備え、1 つのデバイスとして構成される。PLL 回路 56 は、位相検出器、LPF、VOC、分周器を備えており、所定の周波数でクロック信号を出力可能である。受信部 16 に設けられた PLL 回路 68 から出力される基準クロック信号に基づき、所定の周波数のクロック信号を撮像ユニット 12 内の回路へ出力する。

#### 【0032】

イメージセンサ 52 から読み出された 1 フィールド/フレーム分のアナログ画素信号は、A/D 変換器 53 によって 8 ビット (256 階調) のデジタルパラレル画素信号に変換される。デジタルパラレル画素信号は、パラレル/シリアル変換器 54 によってデジタルシリアル信号に変換される。パラレル/シリアル変換は、周波数 600 MHz で行われる。

20

#### 【0033】

図 3 に示すように、送信部 55 は、カウンタ 72、エッジ出力部 73、セクタ 74、フリップフロップ 76、バッファ回路 78 を備える。送信部 55 では、入力された一連のデジタルシリアル画素データの間に、所定のデータ幅間隔 (ここでは 18 ビット間隔) でクロックデータ (以下、同期クロックという) ED を埋め込む。

#### 【0034】

同期クロック ED は、エッジを形成するデータ「01」によって構成されるデータであり、同期クロック ED によってシリアル画素データが 18 ビットずつ区分され、ワード境界が規定される。同期クロック ED の埋め込みは、カウンタ 72 によるデータ数のカウントおよびセクタ 74 による出力選択動作によって行われる。

30

#### 【0035】

具体的に説明すると、伝送される画素データを 18 個分カウントする度に、エッジ出力部 73 から出力される同期クロック ED のデータ「01」を挿入し、エンベディットクロックのシリアルデータ PDS を生成する。シリアルデータ PDS は、高速の伝送レート (600 Mbps) で伝送される。

#### 【0036】

一方、この同期クロック ED に対応したクロック信号 (以下、並走クロックという) PCL が、シリアルデータ PDS とは別に送信部 55 から出力される。並走クロック PCL は、その周期が同期クロック ED のデータ配置間隔に対応する。すなわち、同期クロック ED は、並走クロック PCL のエッジ部分と同じタイミング/位相で埋め込まれており、シリアルデータの中で同期クロック ED が繰り返し現れる周波数は、並走クロック PCL の周波数と一致する。

40

#### 【0037】

並走クロック PCL は、PLL 回路 56 から出力されるクロック信号に基づいて生成される。ここでは、30 MHz の周波数をもつ低速クロック信号として、並走クロック PCL が送信部 55 から出力される。なお、並走クロック PCL の周波数をさらに分周させた周波数にしてもよい。

50

## 【0038】

図2に示すように、一連のシリアルデータPDSと並走クロックPCLは、それぞれ異なる信号線によってコネクタ部10Cの受信部16へ送信される。受信部16は、ラッチ検出部62、位相制御回路64、画素データ抽出部66、シリアル/パラレル変換器69、さらにPLL回路67、68を備える。

## 【0039】

PLL回路67は、位相検出器、LPF、VOC、分周器とともに、位相シフト回路を備えている。スコープ先端部10Tから送信されてきた並走クロックPCLは、PLL回路67に入力する。PLL回路67は、入力した並走クロックPCLによって位相をロックし、30MHz/600MHzのクロック信号をラッチ検出部62、位相制御回路64、画素データ抽出部66へ出力する。

10

## 【0040】

ラッチ検出部62は、位相ロック後のPLL回路67から出力される周波数30MHzのクロック信号(以下、抽出クロックという)SCLに従って、シリアル画素データPDSの中から2ビットの隣接するデータを定期的に保持する。位相制御回路64は、保持されたデータが埋め込んだ同期クロックEDのデータ配列「01」に相当するか否かを判断する。

## 【0041】

同期クロックEDを繰り返しラッチしている場合、PLL回路67から出力される抽出クロックSCLとシリアル画素データに埋め込まれた同期クロックEDとの間に同期ずれがないと判断する。一方、同期ずれがあると判断した場合、位相制御回路64は、PLL回路67へ抽出クロックSCLの位相をずれに応じたシフト量だけシフトさせる制御信号を出力する。

20

## 【0042】

このようなフィードバック制御により、同期クロックEDと抽出クロックSCLの位相が一致し、同期ずれが解消される。同期クロックEDと並走クロックPCLとの間で同期ずれがない状態でPLL回路67が位相ロックすることによって、シリアルデータの中から同期クロックEDを境界とする一連の画素データ列を順次取り出すことができる。

## 【0043】

画素データ抽出部66では、抽出クロックSCLに従い、送られてくるシリアル画素データの中から同期クロックEDを分離し、画素データを抽出する。そして、シリアル/パラレル変換器69によってシリアル画素データがパラレル画素データに変換される。

30

## 【0044】

図5は、受信部におけるシリアルデータ受信処理のフローチャートである。

## 【0045】

シリアル画素データを受信すると、PLL回路67の位相ロック後に、ラッチしたデータが同期クロックEDのデータ「01」と対応している否かを検出する。定期的に同期クロックEDのデータが続けて検知される場合、シリアル画素データを読み出すことが有効となり、シリアル画素データが抽出される(S101~S104)。一方、同期クロックEDが続けて検知されない場合、同期ずれが解消されるようにPLL回路67の位相がシフト制御される(S105)。

40

## 【0046】

このように本実施形態によれば、ビデオスコープ先端部に設けられた送信部55において、シリアル画素データに対し所定間隔で同期クロックEDを埋め込み、シリアルデータPDSをプロセッサ側へ送信する。それとともに、同期クロックEDの周波数と同じ並走クロックPCLを、シリアルデータPDSとは別に送信する。

## 【0047】

ビデオスコープのコネクタ部に設けられた受信部16では、並走クロックPCLによってPLL回路67が位相をロックし、画素データ抽出部66において、同期クロックEDとシリアル画素データを分離する。そして、同期クロックEDを正確にラッチしているか

50

確認し、同期ずれが生じている場合、PLL回路を位相シフト制御し、同期クロックの出現位置と並走クロック信号のエッジ部分とを一致させる。

【0048】

8b/10b伝送方式のような変換テーブルを用いることなく、埋め込んだ同期クロックを正確に検知し、シリアル画素データを取り出すことができる。特に、スコープ先端部における回路構成としてはセクタ等を設けるだけでよいため、スコープ先端部の回路構成が簡素化できる。

【0049】

また、受信部において、ワードライナなどのワード境界を検知する回路を設ける必要がない。一方、並走クロックはシリアル伝送レートに比べて周波数が十分小さい低速クロック信号であるため、EMC試験においても高周波ノイズ発生を抑えることができる。

【0050】

なお、並走クロックの周波数は同期クロックEDに合わせた周波数に限定されず、それ以外の小さい周波数でもよい。例えば、8b/10bと同等の周波数にすることも可能である。

【0051】

次に、図6～図10を用いて第2の実施形態である電子内視鏡装置について説明する。第2の実施形態では、第1の実施形態のように同期クロックをシリアルデータと並走して送信せず、クロック信号に対応したシリアルデータを初期設定として送信し、受信部においてそのデータから同期用クロック信号を生成する。

【0052】

図6は、第2の実施形態における送信部と受信部のブロック図である。図7は、受信部に設けられた論理回路の回路図である。図8は、シリアルデータおよび帰還抽出クロックのタイミングチャートである。

【0053】

撮像ユニット112は、送信部155を備える。送信部155は、同期クロックが埋め込まれたシリアル画素データPDSを伝送レート600Mbpsで出力する。第1の実施形態のように別途低速クロック信号を並走させない。

【0054】

受信部116は、PLL回路120、論理回路122、セクタ124、コントローラ130を備える。PLL回路120は、撮像ユニット112から送られてくるイニシャルクロックデータICLに応じて位相をロックする。

【0055】

イニシャルクロックデータICLは、16ビットごとに「0」のデータ列と「1」のデータ列が交互に入れ替わり、図2に示す並走クロックPCLと同じような波形をもつシリアルデータである。PLL回路120は、このシリアルデータによって位相をロックし、周波数30MHz、600MHzのクロック信号をコントローラ130へ出力する。

【0056】

さらにPLL回路120は、位相をわずかにシフトさせた対となる位相シフトクロックデータAD、BDを論理回路122へ出力する。図7に示すように、論理回路122は、AND回路132、134と、OR回路136から構成される。

【0057】

シリアルデータは、論理回路122を経由あるいは経由しないでセクタ124に入力される。セクタ124は、コントローラ130からの制御信号によって論理回路122経由もしくは論理回路122を経由しないシリアルデータを選択的に出力し、PLL回路120へ送る。

【0058】

コントローラ130は、第1の実施形態における抽出クロックの検知、同期ずれの検知およびシリアル画素データの抽出機能をいずれも備えている。PLL回路120を経由してコントローラ130に入力したシリアル画素データは、PLL回路120から出力され

10

20

30

40

50

る周波数 30 MHz、600 MHz のクロック信号によって埋め込まれた同期クロック ED のデータを検出し、シリアル画素データを分離、抽出する。

【0059】

図 8 には、送信部 155 から送信されるシリアル画素データ PDS およびイニシャルクロックデータ ICL と、論理回路 122 によって生成されるクロック（ここでは、帰還抽出クロック KCL という）を示している。第 1 の実施形態と同様、同期クロック ED がシリアル画素データ 18 ビットごとに埋め込まれている。

【0060】

イニシャルクロックデータ ICL は、図 8 に示すように同期クロック ED の位置に応じてエッジ部分が形成されるシリアルデータであり、第 1 の実施形態で示した並走クロック PCL と同じような波形、周波数をもつ。

【0061】

PLL 回路 120 は、イニシャルクロックデータ ICL が入力されると位相をロックし、位相ロック後には、イニシャルクロックデータ ICL の位相をわずかにずらした 1 組の位相クロックデータ AD、BD を論理回路 122 へ出力する。

【0062】

1 組の位相シフトクロックデータ AD、BD は、イニシャルクロックデータ ICL を正負反対方向に同じシフト量 Z だけ位相シフトさせたデータであり、シフト量 Z は、同期クロック ED を埋め込むタイミング T 内に収まっている。

【0063】

1 組の位相シフトクロックデータ AD、BD は、イニシャルクロックデータ ICL に対応するクロックデータを論理回路 122 によって生成するために作り出されるシリアルデータである。これを PLL 回路 120 へ入力させることにより、PLL 回路 120 は、このデータを下にして位相をロックし、所定の周波数のクロック信号を出力することができる。

【0064】

PLL 回路 120 へ入力される帰還抽出クロック KCL の入力デューティ比は、40 ~ 60 パーセントの範囲（ここでは、およそ 50 パーセント）に収まるように規定されている。これは、水晶などによって基準クロック信号を発生させるときの規格、仕様に従ったものである。

【0065】

PLL 回路 120 は、自ら出力した位相シフトクロックデータ AD、BD を出力し、論理回路 122 によって、PLL 回路 120 へ入力すべきクロック信号が生成される。このような自己回帰的なクロック信号入力により、第 1 の実施形態のような別途用意されたクロック信号を用いなくても、PLL 回路として機能することができる。

【0066】

図 9 は、受信側における同期調整処理のフローチャートである。図 10 は、送信側におけるイニシャルクロックデータ送信処理のフローチャートである。

【0067】

まず、シリアルデータを送信する前段階において、イニシャルクロックデータを送信部から送信する。撮像ユニット 12 は、イニシャルクロックデータ ICL の送信要求があると（S201）、イニシャルクロックデータ ICL をトレーニングパターン（初期パターンデータ）として送信する（S301、S302）。

【0068】

受信側では、セクタ 124 の切り替えによってイニシャルクロックデータ ICL が PLL 回路 120 に入射し、PLL 回路 120 において位相がロックする（S202、S203）。PLL 回路 120 が位相ロックすると、シリアルデータ伝送を送信部 155 へ要求する（S204）。これによって、同期クロック ED が埋め込まれたシリアルデータが受信部 116 へ送信される（S301、S303）。

【0069】

10

20

30

40

50

また、受信部 116 では、シリアルデータ送信要求とともに、セクタ 124 を切り替える。それとともに、PLL 回路 120 は、位相ロック後に位相シフトした位相シフトクロックデータ AD、BD を論理回路 122 へ出力する (S205)。これにより、帰還抽出クロック KCL によってシリアルデータの中から画素データが抽出される。

【0070】

コントローラ 130 は、第 1 の実施形態と同様、帰還抽出クロック KCL に従ってラッチするデータが同期クロック ED のデータ「01」であるか判断し、定期的に同期クロック ED が続けてラッチされない場合、再度、イニシャルクロックデータ ICL を送信するように要求する (S206、S201)。これによって、再び PLL 回路 120 がイニシャルクロックデータ ICL に基づいて位相ロックする。シリアルデータ転送中、PLL 回路 120 は、帰還抽出クロック KCL に従って位相をロックし続ける。

10

【0071】

このように第 2 の実施形態によれば、ビデオスコープ先端部に設けられた送信部 155 において、シリアル画素データに対し所定間隔で同期クロック ED を埋め込み、シリアルデータ PDS をスコープコネクタ部に設けられた受信部へ送信する。また、受信部からの要求に応じて、同期クロック ED と同じ位相、周波数をもつイニシャルクロックデータ ICL を送信する。

【0072】

受信部 116 では、PLL 回路 67 がイニシャルクロックデータ ICL によって位相をロックし、位相シフトクロックデータ AD、BD を出力する。そして、論理回路 122 によって、PLL 回路 120 へ自己帰還させる帰還抽出クロック KCL を生成し、シリアルデータ転送中の間、帰還抽出クロック KCL によって PLL 回路 120 が位相ロックし続ける。コントローラ 130 は、同期クロック ED を正確にラッチしているか確認し、同期ずれが生じている場合、再びイニシャルクロックデータ ICL を送信させ、再度位相を調整する。

20

【0073】

同期クロック信号を並走させて送信させなくても、PLL 回路によってシリアルデータ中に埋め込まれた同期クロック ED を検知し、シリアル画素データを抽出することができる。

【0074】

なお、プロセッサに受信部を設けるようにしてもよい。

30

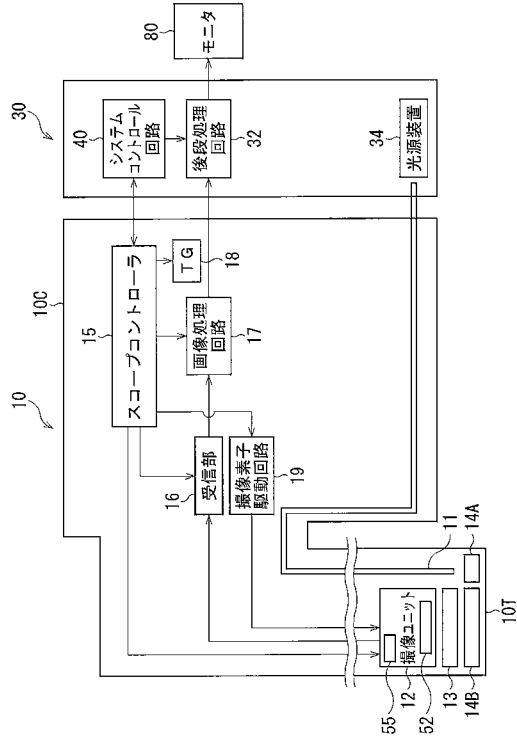
【符号の説明】

【0075】

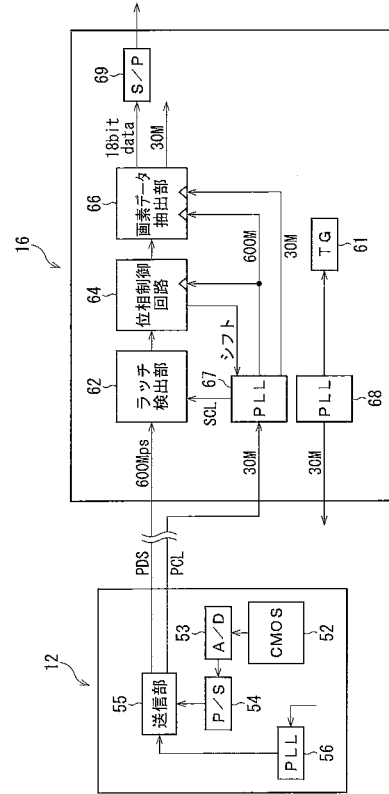
- 10 ビデオスコープ
- 12 撮像ユニット
- 16 受信部
- 30 プロセッサ
- 55 送信部
- ED 同期クロック
- PDS シリアルデータ
- PCL 並走クロック
- KCL 帰還抽出クロック
- SC L 抽出クロック
- IC L イニシャルクロックデータ
- AD、BD 位相シフトクロックデータ

40

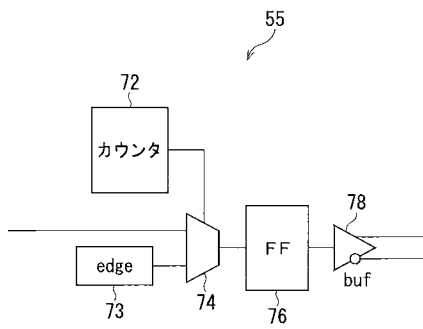
【図 1】



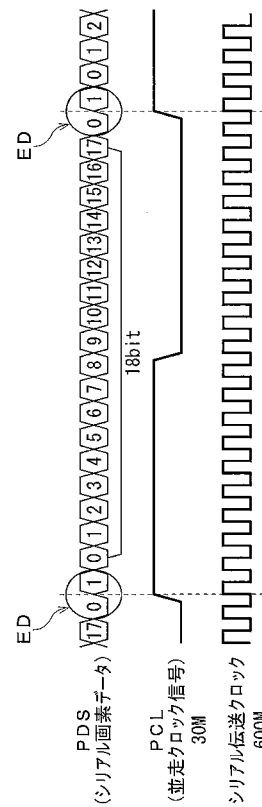
【図 2】



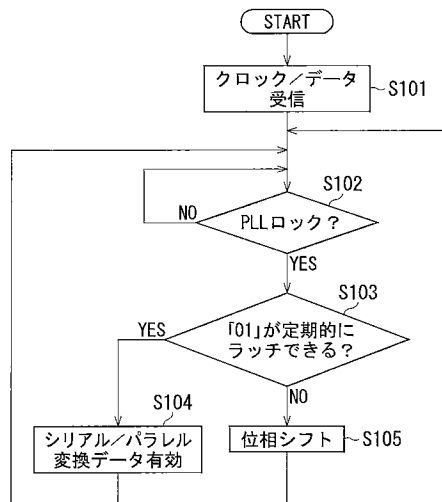
【図 3】



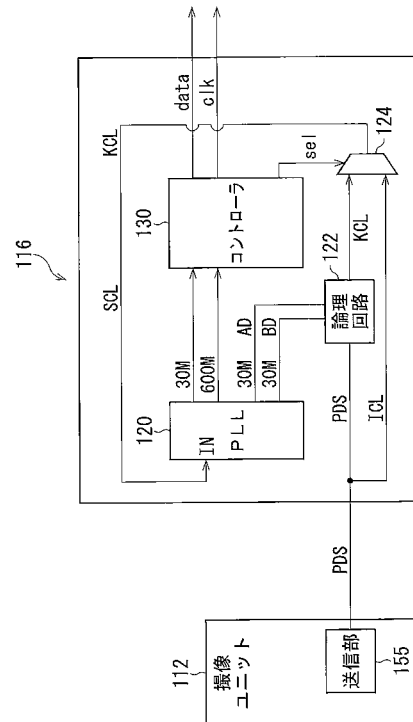
【図 4】



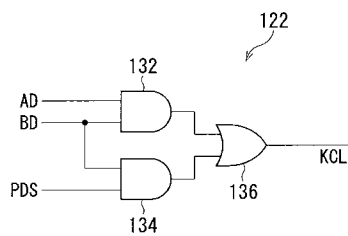
【図 5】



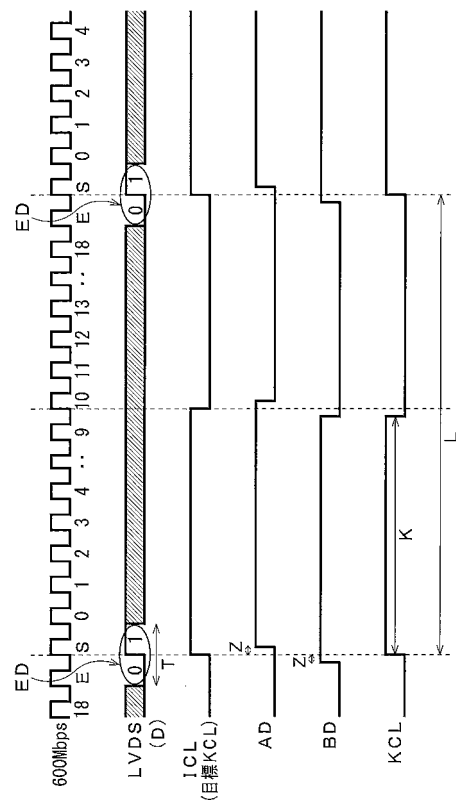
【図 6】



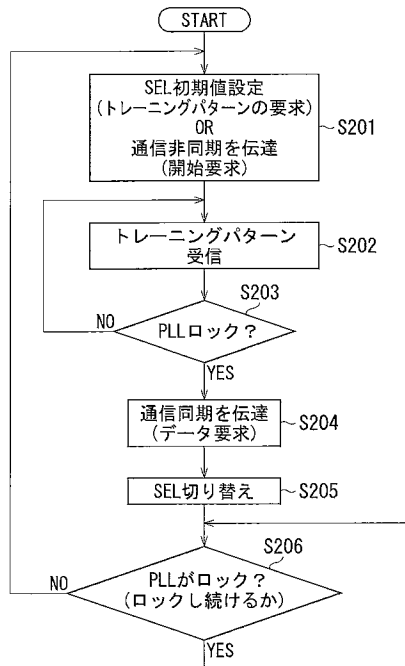
【図 7】



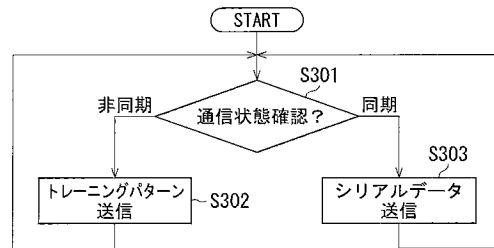
【図 8】



【図 9】



【図 10】



|                |                                                                                                                          |         |            |
|----------------|--------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 内视镜装置                                                                                                                    |         |            |
| 公开(公告)号        | <a href="#">JP2014110843A</a>                                                                                            | 公开(公告)日 | 2014-06-19 |
| 申请号            | JP2012266337                                                                                                             | 申请日     | 2012-12-05 |
| [标]申请(专利权)人(译) | 保谷股份有限公司                                                                                                                 |         |            |
| 申请(专利权)人(译)    | HOYA株式会社                                                                                                                 |         |            |
| [标]发明人         | 小林 徹至                                                                                                                    |         |            |
| 发明人            | 小林 徹至                                                                                                                    |         |            |
| IPC分类号         | A61B1/04 G02B23/24                                                                                                       |         |            |
| FI分类号          | A61B1/04.362.J G02B23/24.B A61B1/00.680 A61B1/045.613                                                                    |         |            |
| F-TERM分类号      | 2H040/FA13 2H040/GA02 2H040/GA06 2H040/GA11 4C161/CC06 4C161/FF45 4C161/JJ19 4C161/LL02 4C161/MM05 4C161/NN03 4C161/UU09 |         |            |
| 代理人(译)         | 松浦 孝                                                                                                                     |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                |         |            |

#### 摘要(译)

解决的问题：提供一种内窥镜装置，该内窥镜装置能够以简单的结构进行像素数据的高速串行传输而没有同步偏移。 设在内窥镜前端的发送单元155以预定间隔将同步时钟嵌入串行像素数据中，并将串行数据PDS发送至设置在示波器连接器单元中的接收单元116。 而且，响应于接收单元116的请求，它发送具有与同步时钟相同的相位和频率的初始时钟数据ICL。 在接收单元116中，PLL电路120利用初始时钟数据ICL锁定相位，并输出相移时钟数据AD和BD。 然后，逻辑电路122生成用于自反馈到PLL电路120的反馈提取时钟KCL，并且在串行数据传输期间，PLL电路120继续被反馈提取时钟KCL锁相。 [选择图]图6

